

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 09194294 A

(43) Date of publication of application: 29.07.97

(51) Int. Cl

C30B 29/06  
H01L 21/322

(21) Application number: 08023247

(22) Date of filing: 16.01.96

(71) Applicant: SUMITOMO SITIX CORP

(72) Inventor: AKATSUKA MASANORI  
SUEOKA KOJI  
KATAHAMA HISASHI

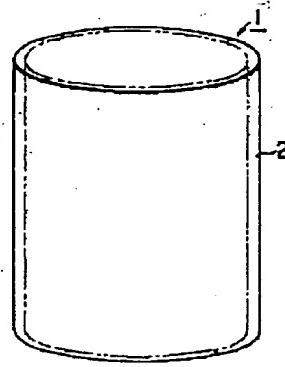
(54) SEMICONDUCTOR MATERIAL HIGHLY  
RESISTANT TO THERMAL STRESS AND ITS  
PRODUCTION

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor material highly resistant to thermal stress and capable of blocking the dislocation generated on the surface of a semiconductor crystal in ingot quality improving heat treatment or in LSI producing heat treatment and moved toward the inside of the crystal and to furnish its producing method.

SOLUTION: A semiconductor ingot 1 is heat-treated in a dry oxygen atmosphere to form an oxide film on its periphery, an interstitial silicon is implanted to form a surface layer 2 having an oxidation-induced stacking fault within a depth of 5mm from the outer periphery, and consequently the dislocation moved from the periphery of the ingot toward the inside of the crystal due to the thermal stress in quality improving heat treatment is suppressed.

COPYRIGHT: (C)1997,JPO



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-194294

(43)公開日 平成9年(1997)7月29日

(51)Int.Cl.  
C 30 B 29/06  
H 01 L 21/322

識別記号

府内整理番号

F I  
C 30 B 29/06  
H 01 L 21/322

技術表示箇所  
B  
Y

審査請求 未請求 請求項の数4 FD (全4頁)

(21)出願番号 特願平8-23247

(22)出願日 平成8年(1996)1月16日

(71)出願人 000205351

住友シチックス株式会社  
兵庫県尼崎市東浜町1番地

(72)発明者 赤堀 雅則  
大阪府大阪市中央区北浜4丁目5番33号  
住友金属工業株式会社内

(72)発明者 末岡 浩治  
大阪府大阪市中央区北浜4丁目5番33号  
住友金属工業株式会社内

(72)発明者 片浜 久  
大阪府大阪市中央区北浜4丁目5番33号  
住友金属工業株式会社内

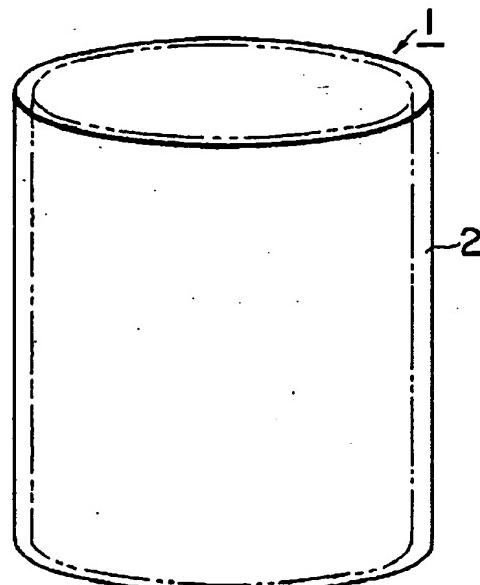
(74)代理人 弁理士 押田 良久

(54)【発明の名称】耐熱応力強度の高い半導体材料とその製造方法

(57)【要約】

【課題】インゴット高品質化熱処理時あるいはLSI  
製造熱処理時に半導体結晶表面に発生し、結晶内部へと  
運動する転位の動きを阻止できる耐熱応力強度の高い半  
導体材料とその製造方法の提供。

【解決手段】半導体インゴット1に乾燥酸素雰囲気中の  
熱処理により、周囲に酸化膜を形成し、格子間シリコ  
ンを注入して外周面の表面より5mm深さ以内に酸化誘  
起積層欠陥を有する表面層2を形成し、これによって高  
品質化熱処理時の熱応力でインゴット周囲から結晶内部  
へと運動する転位を抑制する。



## 【特許請求の範囲】

【請求項1】 半導体インゴットの外表面から深さ5mm以内に、インゴット高品質化熱処理時の強度向上のための酸化誘起積層欠陥を有する半導体インゴット。

【請求項2】 半導体ウェーハの裏面から深さ100μm以内に、デバイスプロセスにおける強度向上のための酸化誘起積層欠陥を有する半導体ウェーハ。

【請求項3】 半導体インゴットの外表面から深さ5mm以内に酸化誘起積層欠陥を導入する熱処理を施すことにより、インゴット高品質化熱処理時における強度を向上させる半導体インゴットの製造方法。

【請求項4】 半導体ウェーハの裏面から深さ100μm以内に、酸化誘起積層欠陥を導入する熱処理を施すことにより、デバイスプロセスの熱処理時における強度を向上させる半導体ウェーハの製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、LSI等の基板として用いられる半導体結晶材料とその製造方法に係り、インゴット及びウェーハの所定深さの表層内に酸化誘起積層欠陥を導入することにより、高品質化あるいはプロセス中の高温熱処理時に発生した熱応力が転位源からの転位を増殖させて品質劣化や反りを発生させることを防止した耐熱応力強度の高い半導体材料とその製造方法に関する。

## 【0002】

【従来の技術】従来から、インゴット高品質化のための熱処理が種々提案されている。例えば、特開平7-41390号には、1200~1400°Cで30分以上保持する高温熱処理を施し、その後、600°C程度まで5°C/分の冷却速度で冷却する方法が提案されている。

【0003】半導体インゴットに高品質化熱処理を施すと、インゴット内での温度分布の不均一性によって熱応力が発生する。また、結晶表面には加工などによって生じた、転位の発生源が存在する。この転位源から発生した転位は、熱応力によって増殖しながら次第に結晶内部へと侵入し、結晶品質を劣化させることが知られている。

【0004】また、半導体ウェーハをLSIプロセスに通すと、ウェーハ内での温度分布の不均一性によって熱応力が発生する。ウェーハ表面の転位源から発生した転位は高温になると運動を始め、その結果、ウェーハの反りを引き起こす。

【0005】微細加工精度の維持が重要なLSIプロセスでは、反りの抑制が重要な課題であり、従来から、結晶中の格子間酸素には転位の運動を抑制し、反りを抑える効果があることが分かっている（岸野正剛著、超LSI材料・プロセスの基礎）。

## 【0006】

【発明が解決しようとする課題】前述のインゴット高品

質化のための高温熱処理には、熱処理中の熱応力の問題を考慮したものはなかった。また、熱処理中の転位の動きを能動的に抑制する手段もなく、熱処理条件に制約が課せられるといった問題があった。

【0007】また、今後はウェーハの低酸素化傾向が進むため、格子間酸素による反り抑制効果が期待できなくなるものと考えられる。そのため、LSI製造熱処理の条件が制約を課せられるといった問題がある。

【0008】この発明は、上述のごとく、インゴット高品質化のための高温熱処理あるいはLSIなどのデバイスプロセス中の高温熱処理時に発生した熱応力が、インゴットあるいはウェーハに発生した転位源からの転位を増殖させて、インゴットの品質劣化やウェーハに反りを発生させていることに鑑み、かかる半導体材料の品質劣化や反りを防止することができる耐熱応力強度の高い半導体材料とその製造方法の提供を目的としている。

## 【0009】

【課題を解決するための手段】発明者らは、耐熱応力強度の高い半導体材料を目的に種々検討した結果、インゴット及びウェーハの所定深さの表層内に酸化誘起積層欠陥を導入することにより、この表面層によって、熱応力でインゴット周囲から結晶内部へと運動する転位を抑制できること、また、裏面の欠陥層によって、熱処理時の転位の運動を抑制し、LSI製造プロセスに支障をもたらす反りを抑制できることを知見し、この発明を完成した。

【0010】すなわち、この発明は、半導体インゴットの外表面から深さ5mm以内に酸化誘起積層欠陥を導入する熱処理を施すことにより、インゴット高品質化熱処理時における強度を向上させる半導体インゴットとその製造方法である。

【0011】また、この発明は、半導体ウェーハの裏面から深さ100μm以内に、酸化誘起積層欠陥を導入する熱処理を施すことにより、デバイスプロセスの熱処理時における強度を向上させる半導体ウェーハとその製造方法である。

## 【0012】

【発明の実施の形態】図1に外周面の表層に酸化誘起積層欠陥を導入したこの発明による半導体インゴット1を示す。半導体インゴット1を1050°C~1150°Cの乾燥酸素雰囲気中で1~4時間熱処理を行い、周囲に酸化膜を形成し、格子間シリコンを注入して外周面の表面より5mm深さ以内に酸化誘起積層欠陥を形成させる。この酸化誘起積層欠陥を有する表面層2によって、熱応力でインゴット周囲から結晶内部へと運動する転位を抑制することができる。

【0013】当該表面層2を有する半導体インゴット1は、インゴット高品質化のための高温熱処理を施しても転位がなくなり、品質劣化が防止されるが、この欠陥層である表面層2は、後工程であるインゴット丸め加工に

において除去される。また、この発明において、酸化誘起積層欠陥を有する表面層2の厚みは、インゴット丸め加工において除去可能な範囲が好ましく、5mm以下とするが、さらに、0.5~2mmの範囲がより好ましい。

【0014】この発明において、半導体インゴット1に酸化誘起積層欠陥を有する表面層2を形成する熱処理としては、酸素雰囲気中で1100°Cに1時間保持する等の方法が好ましい。

【0015】図2に裏面の表層に酸化誘起積層欠陥を導入したこの発明による半導体ウェーハを示す。半導体ウェーハ10に酸素イオンを注入して欠陥核を形成した後に、1050°C~1150°Cの乾燥酸素雰囲気中で1~4時間熱処理を行い、酸化誘起積層欠陥を裏面の表面より100μm以下深さに形成させる。この酸化誘起積層欠陥を有する表面層11によって、デバイスプロセスの熱処理時の転位の運動を抑制し、LSI製造プロセスに支障をもたらす反りを抑制することができる。

【0016】この酸化誘起積層欠陥を有する表面層11は、各種の熱処理時の転位の運動を抑制して反りを抑制することができるが、100μm以下の厚みであるため、後のLSI製造プロセスには悪影響を及ぼすことがない。さらに、好ましい厚みは10μm~50μmである。

【0017】この発明において、半導体ウェーハ10に酸化誘起積層欠陥を有する表面層11を形成する熱処理としては、酸素雰囲気中で1100°Cに1時間保持する等の方法が好ましい。

【0018】

#### 【実施例】

##### 実施例1

半導体インゴットを1050°C~1150°Cの乾燥酸素雰囲気中で1~4時間熱処理を行い、酸化誘起積層欠陥を外周面の5mm以下の表層に形成させた。次いで、このインゴットをアルゴン雰囲気中で1350°Cで30分熱処理する高品質化処理したところ、転位は全く観察されなかった。また、この欠陥表面層は後のインゴット丸め加工において容易に除去することができた。

##### 【0019】実施例2

半導体ウェーハに酸素イオンを注入して欠陥核を形成した後に、1050°C~1150°Cの乾燥酸素雰囲気中で1~4時間熱処理を行い、酸化誘起積層欠陥を裏面の100μm以下の表層に形成させた。次いで、このウェー

ハを水素雰囲気中で1200°Cで1時間熱処理したところ、転位は全く観察されなかった。また、ウェーハの反りの発生は見られなかった。この欠陥表面層は、後のLSI製造プロセスには悪影響を全く及ぼさないことを確認した。

##### 【0020】実施例3

実施例2における導入した酸化誘起積層欠陥が熱処理中に転位源から移動した転位の運動を阻止する様子を図3に示す。すなわち、転位源から発生した転位は、デバイス熱処理中に4つの[110]方向に向かって運動を始める。転位が移動する間に酸化誘起積層欠陥に出会い、転位は動きを妨げられて停止する。

【0021】このように、半導体中に導入した酸化誘起積層欠陥は熱処理中の転位の運動を抑制し、転位の内部への侵入を表面層で阻止する効果がある。従って、半導体結晶熱処理前に酸化誘起積層欠陥を結晶表面層に導入することによって、インゴット高品質化熱処理あるいはLSI製造熱処理中に、熱応力などによって転位が半導体結晶内部に侵入するのを防ぐことが可能であることがわかる。

##### 【0022】

【発明の効果】この発明は、実施例に明らかのように、半導体インゴット及びウェーハの所定深さの表層内に酸化誘起積層欠陥を導入することにより、インゴット高品質化熱処理あるいはLSI製造熱処理時に半導体結晶表面に発生し、結晶内部へと運動する転位の動きを阻止できるようになり、半導体結晶の強化が可能であり、半導体材料の品質劣化や反りを防止することができる耐熱応力強度の高い半導体材料を容易にかつ安定的に提供できる。

##### 【図面の簡単な説明】

【図1】この発明による半導体インゴットの斜視説明図である。

【図2】この発明による半導体ウェーハの斜視説明図である。

【図3】半導体ウェーハの転位を示す顕微鏡写真を図示化した説明図である。

##### 【符号の説明】

1 半導体インゴット

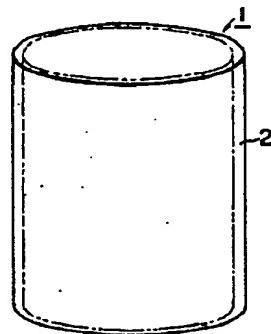
2, 11 表面層

10 半導体ウェーハ

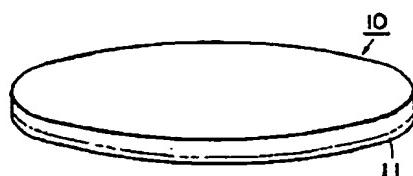
(4)

特開平9-194294

【図1】



【図2】



【図3】

